

应用于 UHF RFID 阅读器中低相位噪声 LC VCO 设计

程知群, 周云芳, 傅开红, 李 进, 周霄鹏

(杭州电子科技大学 射频电路与系统教育部重点实验室, 浙江 杭州 310018)

摘 要: 设计了一种应用于 860~960 MHz UHF RFID 阅读器低相位噪声的 CMOS LC 压控振荡器. 电路经过一个 SCL 结构的 1/2 分频器输出四相正交信号. 电路设计采用 SMIC 0.18 μ m CMOS 工艺库和 Cadence SpectreRF 仿真器. 仿真结果表明: VCO 在分频前, 实现了调频范围为 1620~2020MHz; 在振荡频率为 1.8GHz 时, 相位噪声为 -127.5dBc/Hz@1MHz; VCO 经过 2 分频电路后, 实现了调频范围为 810~1010MHz; 在频率 900MHz, 其相位噪声 -133.5dBc/Hz@1MHz.

关键词: RFID 阅读器; LC 振荡器; 低相位噪声; 正交输出

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)06-0149-04

Design of a Low-Phase-Noise LC VCO for UHF RFID Reader

CHENG Zhi-qun, ZHOU Yun-fang, FU Kai-hong, LI Jin, ZHOU Xiao-peng

(Key Lab of the RF Circuit and System, Ministry of Education, Hangzhou Dianzi University, Hangzhou 310018, China)

Abstract: A low phase noise CMOS LC Voltage Controlled Oscillator for 860~960MHz UHF RFID (Radio Frequency Identification) reader is designed. The quadrature output differential signal is achieved through SCL (Source-Coupled Logic) frequency divider by two. The circuit is implemented with the SMIC 0.18 μ m CMOS technology and the simulator of Cadence SpectreRF. The simulation results show the frequency range from 1620~2020MHz before frequency divider and phase noise of -127.5dBc/Hz@1MHz offset at oscillation frequency of 1.8GHz. VCO has the frequency rang from 810~1010MHz after frequency divider by two and the phase noise of -133.5dBc/Hz@1MHz offset at the frequency of 900MHz.

Key words: RFID reader; LC VCO; low phase noise; quadrature output

1 引言

射频识别技术 (RFID) 作为一种发展迅速的自动识别技术, 在物流管理、防伪、交通信息化、工业自动化以及军事等多个领域有着巨大的应用前景. 目前业界最关注的是位于超高频段的 RFID 技术. 巨大的市场潜力推动了阅读器 (Reader) 和标签 (Tag) 的研究和开发. RFID 中为了消除射频场中存在的盲点而需要两路正交的本振信号源, 目前应用于 RFID 频率合成器的单片集成已经成为可能^[1]. 压控振荡器作为频率合成器中的核心模块, 其调谐范围与噪声性能直接决定了整个频率合成器的输出频

率和噪声特性. 相位噪声是 VCO 的重要参数指标, 改善相位噪声一直是 VCO 研究的热点^[2-4].

文中在总结前人工作的基础上, 采用开关电容阵列和相位噪声滤波技术来设计了一种改进型低相位噪声 LC 压控振荡器, 并采用 SCL 结构的二分频电路实现频率范围覆盖 860~960MHz 的四相正交信号.

2 电路设计

2.1 VCO 设计

传统的 Lesson 模型给出 VCO 相位噪声的定性描述:

收稿日期: 2009-05-31; 修回日期: 2009-09-05

基金项目: 国家自然科学基金项目 (60776052)

$$L\{\Delta\omega\} = 10 \cdot \lg \left\{ \frac{2FkT}{P_{\text{signal}}} \left[1 + \left(\frac{\omega}{2Q\Delta\omega} \right)^2 \right] \cdot \left[1 + \frac{\Delta\omega_{1/f^3}}{|\Delta\omega|} \right] \right\} \quad (1)$$

式中, ω 为 VCO 的振荡频率, $\Delta\omega$ 为频偏, Q 为谐振回路的品质因数, P_{signal} 为振荡信号的功率, F 是一个经验参数, 称为器件的额外噪声系数. 该模型是建立在线性时不变假设条件下, F 必须通过测试得到, 因此方程(1) 不具备进行相位噪声预先分析的能力. J.J.Rael 等对 LC VCO 相位噪声形成的物理机理进行了分析, 并提出了一个归一化的相位噪声系数^[5]:

$$F = 1 + \frac{4\gamma RI}{\pi V_0} + \gamma \frac{8}{9} g_{\text{mbias}} \quad (2)$$

其中, I 是偏置电流, γ 是 MOS 管的沟道噪声系数, g_{mbias} 是 MOS 尾电流源管的等效跨导. 噪声系数 F 包括三项, 第一项为归一化的谐振回路的电阻噪声, 第二项为差分对管的噪声, 第三项为尾电流源的等效噪声. 其中, 尾电流源的噪声大约占了 75% 左右. 虽然去除尾电源对相位噪声有明显的改善, 但是去除尾电流源后, VCO 对电源噪声的抑制能力变差, 且容易受工艺和温度变化的影响.

文中设计的 VCO 结构如图 1 所示. 设计中没有采用常规电路用的低闪烁噪声 PMOS 作为尾电流源, 而是采用了大尺寸 NMOS 作为尾电流源. 这样使得 VCO 输出信号直流共模电平与后面设计的分频电路直流共模电平容易实现匹配, 不需要额外的直流移位电路, 避免了额外噪声的产生. 其中, M_{n1} 和 M_{n2} , M_{p1} 和 M_{p2} 构成互补结构的负阻对. 为了抑制偶次谐波(主要是二次谐波)上的噪声, 尾电流源 MOS 管 M_{t2} 并联一个大电容 C_0 , 电容大小应该使得低通滤波器截止频率小于二次谐波频率 $2\omega_0$. 同时在尾电流源和负阻对之间插入一个电感 L_1 , 合理选取电感的值, 使之和共模点 S 处的寄生电容 C_1 谐振在 $2\omega_0$. 因为理想的谐振等效阻抗接近无限大, 从而提高了共模点 S 在二次谐波处的阻抗, 以免进入线性区的负阻管降低谐振回路的 Q 值. 同样 L_2 和 C_2 构成 PMOS 负阻对的滤波电路.

降低变容管的调谐能力可以有效地降低尾电流源低频噪声(特别是闪烁噪声)的 AM-FM 的效应^[6-7], 但是较小的变容管又不能满足调谐范围的要求. 为此, 文中采用开关电容阵列解决这一问题. 开关电容阵列拓扑结构如图 1 虚线框内所示. 开关电压并没有直接加在开关管的栅极, 而是通过两个电阻和反相器来加到开关管的源极和漏极. 当输入

信号为低电平时, 开关管源极和漏极被偏置在高电平. 开关管的栅源、栅漏之间的寄生电容处于反偏状态, 从而降低了开关管在断开的状态下寄生电容对谐振回路的影响. 同时, 开关管的尺寸选择要适中, 较大的开关管尺寸有利于减小导通时电阻, 防止谐振回路 Q 值降低, 但是太大的尺寸也会带来更大得寄生电容, 使得 VCO 的调谐范围下降. 图 2 所示为 VCO 的调谐曲线仿真图, 16 个子频带相互之间互相覆盖, 在所有频段 VCO 调谐增益平均值大约为 45MHz/V.

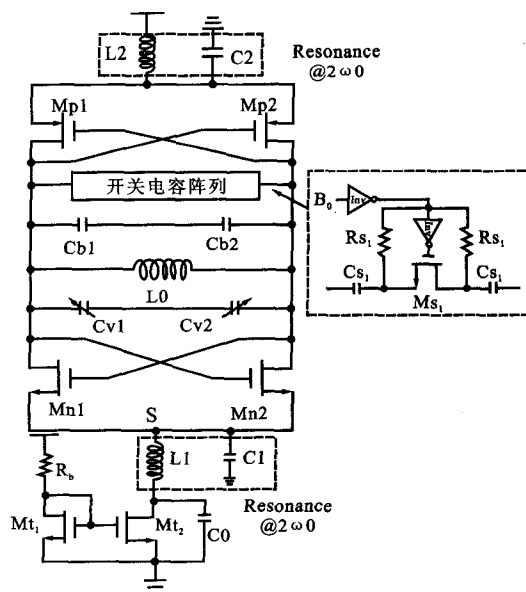


图 1 VCO 电路图

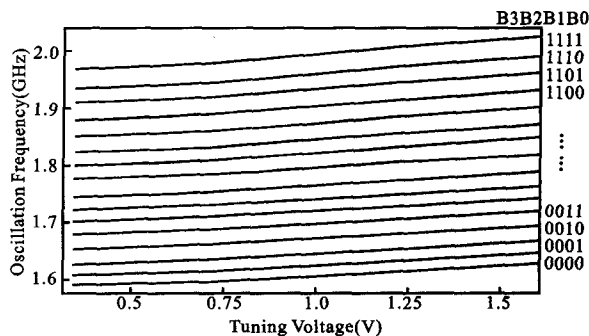


图 2 VCO 的调谐曲线

图 3 是 VCO 进行相位噪声仿真结果. 其中实线是 VCO 加入滤波电路后的仿真结果, 虚线是没有采用滤波电路的仿真结果. 可以看出振荡中心频率为 1.8GHz, 采用相位噪声滤波技术之前, VCO 的相位噪声为 $-121.6 \text{ dBc/Hz}@1 \text{ MHz}$; 采用滤波技术以后, VCO 的相位噪声为 $-127.5 \text{ dBc/Hz}@1 \text{ MHz}$, 相位噪声有了明显的改善, 降低了约 6dB.

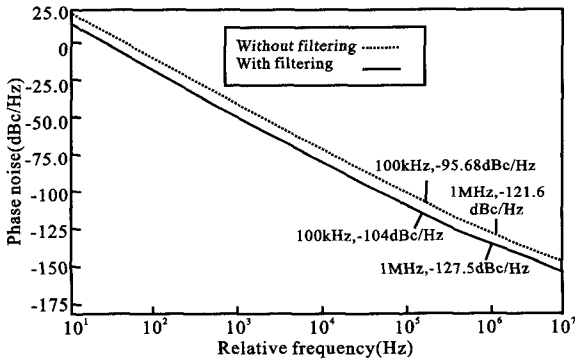


图3 VCO 相位噪声滤波技术仿真结果

2.2 二分频电路的设计

二分频电路和 VCO 工作在相同的频率,是频率合成器的主要速度瓶颈.基于传统 TSPC 结构的二分频电路虽然结构简单,但它需要轨对轨的输入信号摆幅,且其可工作的最高时钟频率随着电源电压的减小迅速降低. SCL (Source Coupled Logic) 是基于差分对结构的逻辑电路,它具有低噪声,高速度和高抗干扰等优点,被广泛用于高速电路的设计.图 4(a) 给出了 SCL 结构二分频电路的结构图,两个 SCL 结构的 D 锁存器构成主从触发结构,当第二个 D 锁存器输出作为第一个 D 锁存器输入的时候,就实现了二分频功能^[8]. D Latch 具体的拓扑结构如图 4(b) 所示. VCO 的输出信号作为二分频电路的互补时钟信号.每个 Latch 由两个采样器件(主触发器中是 M1 M2,从触发器中是 M5 M6),一个再生回路(主触发器中是 M3 M4,从触发器中是 M7 M8),及两个上拉器件(栅极接地的 PMOS 管)组成.当 CLK 信号为高电平时, M1、M2、M7 和 M8 导通, M3、M4、M5 和 M6 截止,主触发器处于采样状态,从触发器处于锁存状态.当 CLK 信号变成低电平时,情况则刚好相反.

CLK 和 $\overline{\text{CLK}}$ 只是偏置在其共模值而没有差分输入信号时,图 4 所示的二分频电路工作状态不同于上述情况. D 锁存器的采样和再生支路同时导通,这时每个 D 锁存器就可以视为一个差分延迟单元,如图 5 所示.

再生支路 M₃ 和 M₄ 等效于一个负阻 $-1/g_{34}$ 和 PMOS 负载管的等效导纳 $1/g_p$ 并联, C_L 为 M₁ 和 M₂ 漏极总的寄生电容,此时二分频电路就类似一个两级环形振荡器,它的开环增益为

$$H = - \left(\frac{g_{m1}}{g_p - g_{34} + j\omega C_L} \right)^2 \quad (3)$$

由巴克豪森准则可知, H 必须产生 360° 的相

移,即每级延迟单元的输出信号彼此间的相位偏差为 90° ,从而得到了图 5 所示为四路彼此正交的信号.

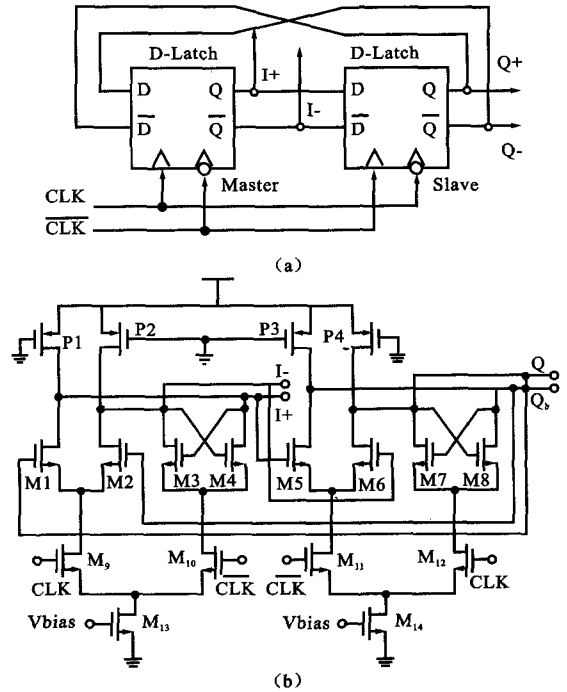


图4 二分频电路

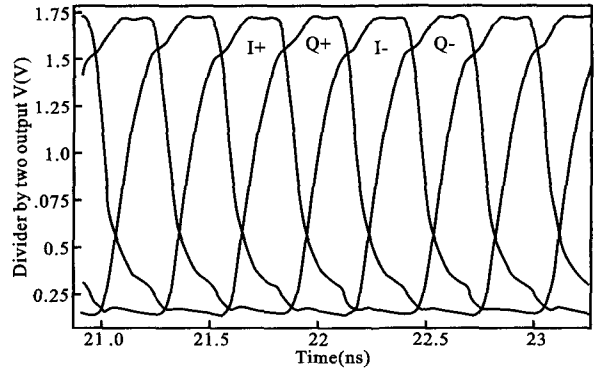


图5 二分频电路正交输出波形

图 6 是对 VCO 和二分频电路输出信号相位噪声仿真的结果.其中虚线代表的是仅有 VCO 的情况,实线代表的是经过二分频电路后输出信号的仿真结果.可以看出,二分频电路输出信号继承了 VCO 电路良好的相位噪声特性,在整个测试范围内都有大约 6dB 的改善.当输出频率为 900MHz 时,为 -109.9dBc/Hz @ 100kHz, -133.5dBc/Hz @ 1MHz.

2.3 VCO 的版图设计

图 7 为 VCO 设计版图.在布局布线时要特别注意对称性,关键信号之间的走线要尽可能的短.对称电感的两端延伸出两条平行的金属线,开关电容阵

列和变容管放在这两条金属线的中间.需要注意的是延伸出的两条平行的金属线之间存在互感,由此导致谐振电感增加,输出频率下降.整个版图连 PAD 在内版图的面积为 $0.9 \times 0.8 \text{ mm}^2$.

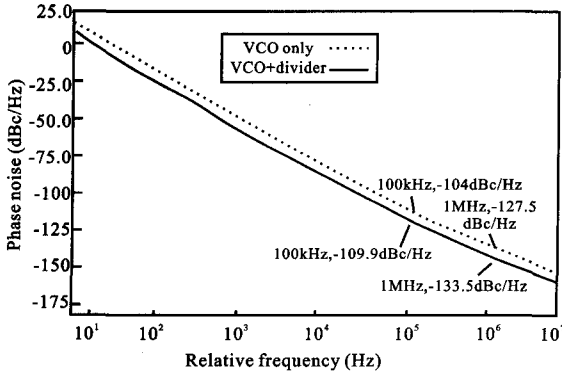


图 6 VCO 和 divider 相位噪声联合仿真结果

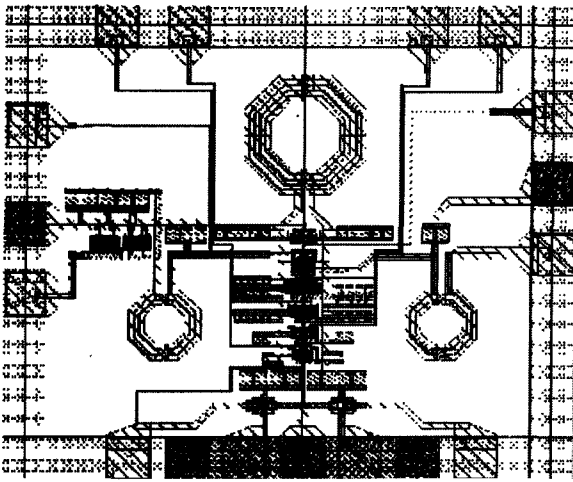


图 7 VCO 的版图

3 结束语

文中提出了一种应用于 860~960 MHz UHF 波段单片阅读器的低相位噪声 VCO 及其预分频器.采用开关电容阵列和对称滤波技术有效地改善了 VCO 的相位噪声性能,并通过 SCL 结构的二分频电路得到四路正交输出的信号.电路采用 SMIC 0.18 μm CMOS 工艺实现. Cadence SpectreRF 仿真结果表明: VCO 的输出频率范围为 1620MHz~

2020MHz.当 VCO 输出中心频率为 1.8GHz 时,测得相位噪声为 $-104 \text{ dBc/Hz}@100 \text{ kHz}$, $-127 \text{ dBc/Hz}@1 \text{ MHz}$.经过二分频电路后,输出频率范围为 860MHz~960MHz,测得相位噪声为 $-109.9 \text{ dBc/Hz}@100 \text{ kHz}$, $-133.5 \text{ dBc/Hz}@1 \text{ MHz}$.

参考文献:

- [1] Ickjin Kwon, Yunseong Eo, Heemun Bang, et al. A single-chip CMOS transceiver for UHF mobile RFID reader [J]. IEEE Journal of Solid-State Circuits, 2008, 43(3): 729-738.
- [2] Cheng Zhiqun, Li Jing, Mao Xianggen, et al. Plip-chip integrated oscillator with reduced phase noise and enhanced output power by using DGS[J]. Journal of Infrared Millim Waves, 2008, 27(6): 401-404.
- [3] Hegazi E, Abidi A A. A filtering technique to lower LC oscillator phase noise [J]. Journal of Solid-State Circuits, 2001, 36(12):1921-1930.
- [4] 杨丰林, 闵昊, 沈绪榜. CMOS 电感电容压控振荡器中对称噪声滤波技术的研究[J]. 微电子学与计算机, 2007, 24(5):176-179.
- [5] Rael J J, Abidi A A. Physical processes of phase noise in differential LC oscillators[C]// IEEE Custom Integrated Circuits Conference. California, 2000: 569-572.
- [6] Hegazi E, Abidi A A. Varactor characteristics, oscillator tuning curves, and AM-FM conversion [J]. IEEE JOURNAL OF Solid-State Circuits, 2003, 38(6):1033-1039.
- [7] 陈磊, 马和良, 赖宗声, 等. 基于 802.11a/b/g WLAN 接收机前端的射频集成压控振荡器设计[J]. 微电子学与计算机, 2008, 25(11):167-170.
- [8] Changhua Cao, Kenneth K O. A power efficient 26-GHz 32:1 static frequency divider in 130nm bulk CMOS[J]. IEEE Microwave and Wireless components Letters, 2005, 36(12):721-723.

作者简介:

程知群 男, 教授, 硕士生导师. 研究方向为射频集成电路设计与系统集成.

周云芳 男, 硕士研究生. 研究方向为射频集成电路设计、CMOS 锁相环设计.